

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Makoto KIDERA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: METHOD OF AND DEVICE FOR SIMULATION

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231



SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-222025	July 24, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak
Registration No. 24,913

C. Irvin

Registration Number 21,124



22850

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JCS68 U.S. PTO
09/740901
12/21/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 7月24日

出 願 番 号

Application Number:

特願2000-222025

出 願 人

Applicant (s):

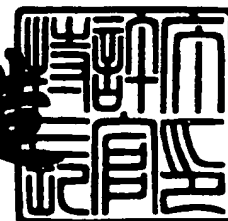
三菱電機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 8月11日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 進



出証番号 出証特2000-306315

【書類名】 特許願

【整理番号】 524543JP01

【提出日】 平成12年 7月24日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/17

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 木寺 真琴

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 谷沢 元昭

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シミュレーション方法およびシミュレーション装置

【特許請求の範囲】

【請求項 1】 半導体集積回路を構成する素子の電気特性のバラツキを、バラツキの限界を規定するコーナーを含むコーナーモデルで表現するシミュレーション方法であって、

前記コーナーにおける前記電気特性のバラツキとして許容可能な所定の値を準備する工程（a）と、

前記素子に関する情報を示す素子パラメータに対する前記電気特性の微分量である素子パラメータ感度を回路シミュレーションを行って求める工程（b）と、

最小自乗法の正規方程式に前記素子パラメータ感度と前記電気特性の前記所定の値とを適用して前記コーナーにおける前記素子パラメータのバラツキを求める工程（c）と

を備えるシミュレーション方法。

【請求項 2】 請求項 1 に記載のシミュレーション方法であって、

前記工程（b）で得られた前記素子パラメータ感度と前記工程（c）で得られた前記コーナーでの前記素子パラメータのバラツキとの乗算に基づいて前記コーナーでの前記電気特性のバラツキを計算する工程（d）

をさらに備える

シミュレーション方法。

【請求項 3】 請求項 2 に記載のシミュレーション方法であって、

前記工程（d）で計算した前記コーナーでの前記電気特性のバラツキと、前記工程（a）で準備した前記所定の値とを比較し、その誤差が所定の値よりも大きければ、前記工程（b）ないし工程（d）を再度行う

シミュレーション方法。

【請求項 4】 請求項 2 に記載のシミュレーション方法であって、

前記工程（d）で計算した前記コーナーでの前記電気特性のバラツキと、前記工程（a）で準備した前記所定の値とを比較し、その誤差が所定の値よりも大きければ、新たな素子パラメータを導入し、前記新たな素子パラメータと前記素子

パラメータとを合わせ用いつつ前記工程（b）ないし工程（d）を行うシミュレーション方法。

【請求項5】 請求項1に記載のシミュレーション方法であって、
前記素子パラメータは複数であり、

一部の前記素子パラメータについては前記工程（c）を行わずに、それ以外の前記素子パラメータについてのみ前記工程（c）を行うシミュレーション方法。

【請求項6】 請求項1に記載のシミュレーション方法であって、
前記工程（c）において重み付き最小自乗法を用いて前記素子パラメータのバラツキを求めるシミュレーション方法。

【請求項7】 請求項1ないし請求項6のいずれかに記載のシミュレーション方法を用いて、前記素子の前記電気特性のバラツキをコーナーモデルで表現するシミュレーション装置であって、

前記電気特性のバラツキとして許容可能な前記所定の値を入力するためのデータ入力手段と、

データ出力手段と、

前記素子パラメータを変動させたときの前記電気特性の変動量をシミュレートすることで前記素子パラメータ感度を求めるシミュレータと、

前記シミュレータで求められた前記素子パラメータ感度と前記データ入力手段に入力された前記電気特性の前記所定の値とを最小自乗法の正規方程式に適用して、前記コーナーにおける前記素子パラメータのバラツキを求め、前記データ出力手段に出力するデータ処理手段と
を備えるシミュレーション装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、回路設計におけるマージンを決定するために、素子の電気特性の統計的なバラツキ（変動量）を反映したモデルを生成するシミュレーション方法

およびシミュレーション装置に関する。

【 0 0 0 2 】

【従来の技術】

近年、素子の微細化が急速に進展し、半導体集積回路の集積度は飛躍的に高まっている。現在では、このように集積度の増した半導体集積回路の設計を行うにあたって、S P I C E (Simulation Program with Integrated Circuit Emphasis) 等のシミュレーション装置が援用されている。

【 0 0 0 3 】

さて、製造後の半導体集積回路中の各素子の形状に関する値（以下、モデルパラメータと称する）、および、半導体基板に注入される不純物濃度など製造工程時の条件に関するパラメータ（以下、プロセスパラメータと称する、また、モデルパラメータとプロセスパラメータとを合わせて素子パラメータと称する）について統計をとると、通常、これらの値にはバラツキが伴っている。そして、このようなモデルパラメータおよびプロセスパラメータのバラツキは、各素子の動作時の電気特性のバラツキを発生させる。例えばM I S F E T (Metal Insulator Semiconductor Field Effect Transistor) の場合、ゲート長やゲート絶縁膜厚といったモデルパラメータのバラツキが、閾値電圧値や定電流領域での飽和電流値にバラツキを発生させる。

【 0 0 0 4 】

さて、モデルパラメータおよびプロセスパラメータのバラツキの量は、素子の微細化が進んでも同じようにスケーリングされる（微細化される）わけではない。そのため、これらのパラメータのバラツキが素子の電気特性のバラツキに及ぼす影響を無視することはできなくなりつつある。

【 0 0 0 5 】

そこで、モデルパラメータおよびプロセスパラメータのバラツキと、それらが及ぼす素子の電気特性のバラツキへの影響とをシミュレーション装置に反映させることが、適切なマージンで回路設計を行う上で重要となっている。その反映の方法はこれまでに種々試みられているが、ここでは「コーナーモデル」と一般に呼ばれるモデルを用いる方法に着目する。

【 0 0 0 6 】

コーナーモデルとは、素子の電気特性のバラツキのうち統計上の代表値（平均値や中央値等）に比べて発生頻度の少ない場合を、バラツキ限界を規定するコーナーとして表現するモデルのことである。そして、各コーナーにおいて、モデルパラメータおよびプロセスパラメータのバラツキがどの程度許容されるのかが計算される。このコーナーモデルについて、CMOS (Complementary Metal Oxide Semiconductor) インバータを例にとって以下に説明する。

【 0 0 0 7 】

ここでは、モデルパラメータの例として、CMOS インバータを構成するNMOS, PMOSの、幾何学的ゲート長と実効チャネル長とのチャネル長差 ΔL 、トランジスタの幾何学的ゲート幅と実効チャネル幅とのチャネル幅差 ΔW 、およびゲート絶縁膜厚 T_{ox} を採用する。なおここで、幾何学的ゲート長、幾何学的ゲート幅とは、図7の断面図および図8の上面図に示すMISFETの構造のうち、ゲート電極5の外形上のゲート長 L_M およびゲート幅 W_M のことであり、実効チャネル長、実効チャネル幅とは、ソース/ドレイン構造2, 3間のチャネル領域11に形成される実効的なチャネルの長さおよび幅のことである。

【 0 0 0 8 】

またさらに、プロセスパラメータの例として、不純物濃度などにより規定される、ボディ電圧0V時の閾値電圧 V_{th0} を採用する。そして、素子の電気特性の例として、定電流領域における飽和電流値 I_{dsat} および閾値電圧値 V_{th} を採用する。

【 0 0 0 9 】

例えば、CMOS インバータにおいて応答速度が最速となる状態をA、逆に応答速度が最も遅くなる状態をBとする。このとき、NMOS, PMOSを対として考えて、NMOS, PMOSともに状態AとなるときをAAと、NMOS, PMOSともに状態BとなるときをBBと、NMOSが状態AでPMOSが状態BであるときをABと、NMOSが状態BでPMOSが状態AであるときをBAと、それぞれ表すこととする。

【 0 0 1 0 】

図9に示すように、NMOSの飽和電流値 I_{dsatn} およびPMOSの飽和電流値 I_{dsatp} をグラフの横軸および縦軸にとり、NMOSの飽和電流値の代表値 I_{typn} とPMOSの飽和電流値の代表値 I_{typp} との交点を点 $P0a$ とする。すると、定電流域の飽和電流値のバラツキを、例えば、点 $P0a$ の周囲に張られた、4つのコーナー $P1a \sim P4a$ を有する四角形 SQa として表現できる。この四角形 SQa の面積や点 $P0a$ に対する位置等を所望の範囲内に収めることができれば、所望の電気特性を有する半導体集積回路を得ることができ、半導体集積回路の歩留まりを上げることができる。

【0011】

四角形 SQa の4つのコーナーのうち点 $P1a$ は、NMOSの飽和電流値の代表値 I_{typn} よりも δI_{dsatna} だけ大きく、PMOSの飽和電流値の代表値 I_{typp} よりも δI_{dsatpa} だけ大きい。また、点 $P3a$ は、NMOSの飽和電流値の代表値 I_{typn} よりも δI_{dsatnb} だけ小さく、PMOSの飽和電流値の代表値 I_{typp} よりも δI_{dsatpb} だけ小さい。飽和電流値が大きいほど、NMOS、PMOSの応答速度は速くなるので、飽和電流値 I_{dsatn} および I_{dsatp} がともに最大となる点 $P1a$ が状態AAに、ともに最小となる点 $P3a$ が状態BBに対応する。

【0012】

また、CMOSインバータの形成工程を考えると、NMOSが代表値 I_{typn} よりも δI_{dsatna} だけ大きく、PMOSが代表値 I_{typp} よりも δI_{dsatpb} だけ小さいという組み合わせをとることは考えにくい。よって、その組み合わせを表した点 $P5a$ よりはNMOS、PMOS間での特性値の差が少ない点 $P4a$ が状態ABに対応するコーナーとなる。同様に、点 $P6a$ よりはNMOS、PMOS間での特性値の差が少ない点 $P2a$ が状態BAに対応するコーナーとなる。

【0013】

この各コーナーにおいて、点 $P0a$ に対応する素子における素子パラメータの各値からのバラツキの一組（すなわち、点 $P0a$ での各素子パラメータ値とコーナーにおける各素子パラメータ値との差である、 $\delta(\Delta L)$ 、 $\delta(\Delta W)$ 、 δT_{ox} および δV_{th0} のセット、以下、素子パラメータセットと称する）を求めれば

、飽和電流値 $I_{dsat\ n}$ および $I_{dsat\ p}$ のバラツキの全域である四角形 $SQ\ a$ に対応した素子パラメータのバラツキの範囲が求められる。

【0014】

また、図10は、NMOSの閾値電圧 $V_{th\ n}$ およびPMOSの閾値電圧 $V_{th\ p}$ を横軸および縦軸にとり、NMOSの閾値電圧の代表値 $V_{typ\ n}$ とPMOSの閾値電圧の代表値 $V_{typ\ p}$ との交点を点 $P0\ b$ としたグラフである。この場合も、閾値電圧のバラツキを、四角形 $SQ\ a$ と同様の、点 $P0\ b$ の周囲に張られた、4つのコーナーの点 $P1\ b \sim P4\ b$ を有する四角形 $SQ\ b$ として表現できる。

【0015】

四角形 $SQ\ b$ の4つのコーナーのうち点 $P1\ b$ は、NMOSの閾値電圧の代表値 $V_{typ\ n}$ よりも $\delta V_{th\ n\ a}$ だけ大きく、PMOSの閾値電圧の代表値 $V_{typ\ p}$ よりも $\delta V_{th\ p\ a}$ だけ大きい。また、点 $P3\ b$ は、NMOSの閾値電圧の代表値 $V_{typ\ n}$ よりも $\delta V_{th\ n\ b}$ だけ小さく、PMOSの閾値電圧の代表値 $V_{typ\ p}$ よりも $\delta V_{th\ p\ b}$ だけ小さい。

【0016】

ただし、閾値電圧が大きいほど、NMOS、PMOSの応答速度は遅くなるので、四角形 $SQ\ a$ の場合とは逆に、閾値電圧 $V_{th\ n}$ および $V_{th\ p}$ がともに最大となる点 $P1\ b$ が状態 BB に、ともに最小となる点 $P3\ b$ が状態 AA に対応する。そして、点 $P2\ b$ が状態 AB に、点 $P4\ b$ が状態 BA に、それぞれ対応する。

【0017】

そして、この各コーナーにおいて素子パラメータセットを求めれば、閾値電圧 $V_{th\ n}$ および $V_{th\ p}$ のバラツキの全域である四角形 $SQ\ b$ に対応した素子パラメータのバラツキの範囲が求められる。

【0018】

【発明が解決しようとする課題】

さて、各コーナーにおける素子パラメータセットは、従来、図11に示すような方法で求められていた。まず、ステップ $S102$ のように、バラツキにより変動する各コーナーの素子パラメータセットの初期値をシミュレータに与える。この初期値には、製造ラインにおける過去のデータに基づいて規定されたバラツキ

量の管理値や、新たにサンプリングを行って得た測定値等を採用すればよい。

【 0 0 1 9 】

そして、ステップ S 1 0 3 のように、各コーナーとして許容可能な電気特性の所望の値（上記の例では例えば $I_{dsatn} + \delta I_{dsatna}$ や $V_{thn} + \delta V_{thna}$ ）と、対象となる素子に関する情報（ゲート長やゲート幅、ボディ電位やゲートバイアス値など）をシミュレータに与える。

【 0 0 2 0 】

次に、与えられた素子パラメータセットの初期値を用いて、対象となる素子に関する情報に基づいてステップ S 1 0 4 のように回路シミュレーションを実行し、その素子パラメータセットに対応した電気特性の値を計算する。

【 0 0 2 1 】

続いてステップ S 1 0 5 に示すように、この電気特性の値が、ステップ S 1 0 3 で与えられた電気特性の所望の値を満足しているかどうかを検証する。そして、満足している場合には、ステップ S 1 0 7 に示すように、その素子パラメータセットをそのコーナーにおける素子パラメータセットとして採用する。

【 0 0 2 2 】

一方、満足しなかった場合には、ステップ S 1 0 6 に示すように素子のサイズに合わせて感度の強い素子パラメータの値を再調節し、あらためて回路シミュレーションを行う。そして、計算された電気特性の値が、ステップ S 1 0 3 で与えられた許容可能な電気特性を満足するまで、シミュレーション、検証、素子パラメータセットの再調節、の動作を繰り返す。

【 0 0 2 3 】

なお、ここで「素子のサイズに合わせた感度の強い素子パラメータ」とは、例えば M I S F E T の場合、以下の表 1 に示す素子パラメータのことを指す。なお、表 1 において、トランジスタのゲートサイズの L O N G / S H O R T は、チャネル長の微小変動に対して電気特性が感度を有するか否かを区分の基準としている。また、同様に W I D E / N A R R O W も、チャネル幅の微小変動に対して電気特性が感度を有するか否かを区分の基準としている。

【 0 0 2 4 】

【表 1】

トランジスタサイズ	パラメータ
LONG / WIDE	T_{ox}, V_{th0}
SHORT / WIDE	ΔL
SHORT / NARROW	ΔW

【0025】

例えば図9において、コーナーの点P2aにおける素子パラメータセットを求める場合を例にとり説明すると、まず、素子パラメータセットの初期値をシミュレーション装置に与える（ステップS102）。また、点P2aにおける許容可能な電気特性の所望の値をもシミュレーション装置に与える（ステップS103）。

【0026】

そして、回路シミュレーションが行われ（ステップS104）、図9中の点P7aでの電気特性が求まったとする。続いて、この点P7aでの電気特性の値が、点P2aにおける電気特性の値とほぼ同一であるとみなせる範囲内にあるかどうかを判断する（ステップS105）。もし、その範囲内にあると判断されれば、点P7aでの電気特性の値が点P2aにおける電気特性の値として採用される（ステップS107）。

【0027】

一方、同一であるとみなせる範囲内ないと判断された場合には、点P2aにおける電気特性の値とほぼ同一であるとみなせる範囲内に電気特性の値が収まるまで、感度の強いパラメータの値を再調節し、回路シミュレーションを繰り返す（ステップS106）。

【0028】

他のコーナーの点P1a、P3a、P4aにおける素子パラメータセットについても、同様の方法により順次求める。

【0029】

ところが、上記のようなシミュレーション方法によれば、所望の電気特性の値を満足するまで、回路シミュレーションによる計算、検証、および素子パラメータセットの再調節、を繰り返していたので、各コーナーにおける素子パラメータセットの値を求めるのに時間と手間がかかっていた。

【0030】

また、素子パラメータセットのうちどの素子パラメータの値を調節すればよいか、そして、その調節量をどの程度にすればよいか、が不明であるので、試行錯誤的に素子パラメータセットの再調節を少しずつ行わねばならず、各素子パラメータの調節値を一挙にまとめて（＝一意に）求めることは困難であった。

【0031】

そこで、この発明の課題は、回路シミュレーションを繰り返すことなく各コーナーにおける素子パラメータセットの値を求めることが可能で、しかも一意に素子パラメータセットの値を求めることが可能なシミュレーション方法およびシミュレーション装置を提供することにある。

【0032】

【課題を解決するための手段】

請求項1に記載の発明は、半導体集積回路を構成する素子の電気特性のバラツキを、バラツキの限界を規定するコーナーを含むコーナーモデルで表現するシミュレーション方法であって、前記コーナーにおける前記電気特性のバラツキとして許容可能な所定の値を準備する工程（a）と、前記素子に関する情報を示す素子パラメータに対する前記電気特性の微分量である素子パラメータ感度を回路シミュレーションを行って求める工程（b）と、最小自乗法の正規方程式に前記素子パラメータ感度と前記電気特性の前記所定の値とを適用して前記コーナーにおける前記素子パラメータのバラツキを求める工程（c）とを備えるシミュレーション方法である。

【0033】

請求項2に記載の発明は、請求項1に記載のシミュレーション方法であって、前記工程（b）で得られた前記素子パラメータ感度と前記工程（c）で得られた前記コーナーでの前記素子パラメータのバラツキとの乗算に基づいて前記コーナ

ーでの前記電気特性のバラツキを計算する工程（d）をさらに備えるシミュレーション方法である。

【 0 0 3 4 】

請求項 3 に記載の発明は、請求項 2 に記載のシミュレーション方法であって、前記工程（d）で計算した前記コーナーでの前記電気特性のバラツキと、前記工程（a）で準備した前記所定の値とを比較し、その誤差が所定の値よりも大きければ、前記工程（b）ないし工程（d）を再度行うシミュレーション方法である。

【 0 0 3 5 】

請求項 4 に記載の発明は、請求項 2 に記載のシミュレーション方法であって、前記工程（d）で計算した前記コーナーでの前記電気特性のバラツキと、前記工程（a）で準備した前記所定の値とを比較し、その誤差が所定の値よりも大きければ、新たな素子パラメータを導入し、前記新たな素子パラメータと前記素子パラメータとを合わせ用いつつ前記工程（b）ないし工程（d）を行うシミュレーション方法である。

【 0 0 3 6 】

請求項 5 に記載の発明は、請求項 1 に記載のシミュレーション方法であって、前記素子パラメータは複数であり、一部の前記素子パラメータについては前記工程（c）を行わずに、それ以外の前記素子パラメータについてのみ前記工程（c）を行うシミュレーション方法である。

【 0 0 3 7 】

請求項 6 に記載の発明は、請求項 1 に記載のシミュレーション方法であって、前記工程（c）において重み付き最小自乗法を用いて前記素子パラメータのバラツキを求めるシミュレーション方法である。

【 0 0 3 8 】

請求項 7 に記載の発明は、請求項 1 ないし請求項 6 のいずれかに記載のシミュレーション方法を用いて、前記素子の前記電気特性のバラツキをコーナーモデルで表現するシミュレーション装置であって、前記電気特性のバラツキとして許容可能な前記所定の値を入力するためのデータ入力手段と、データ出力手段と、前

記素子パラメータを変動させたときの前記電気特性の変動量をシミュレートすることで前記素子パラメータ感度を求めるシミュレータと、前記シミュレータで求められた前記素子パラメータ感度と前記データ入力手段に入力された前記電気特性の前記所定の値とを最小自乗法の正規方程式に適用して、前記コーナーにおける前記素子パラメータのバラツキを求め、前記データ出力手段に出力するデータ処理手段とを備えるシミュレーション装置である。

【 0 0 3 9 】

【発明の実施の形態】

＜実施の形態 1＞

本実施の形態は、回路シミュレーションを繰り返すことなく各コーナーにおける素子パラメータセットの値を求めることが可能で、しかも一意に素子パラメータセットの値を求めることが可能なシミュレーション方法を実現するものである。その実現のために、本発明では線形最小自乗法を用いる。

【 0 0 4 0 】

まず、本実施の形態においても従来の技術の説明と同様、例として図 9，図 10 に示した CMOS インバータのコーナーモデルに基づいて説明を行う。ただし、ここでは CMOS インバータが m 個存在する場合について述べる。また、同様に、モデルパラメータの例として、CMOS インバータを構成する NMOS，PMOS の、幾何学的ゲート長と実効チャネル長とのチャネル長差 ΔL 、トランジスタの幾何学的ゲート幅と実効チャネル幅とのチャネル幅差 ΔW 、およびゲート絶縁膜厚 T_{ox} を採用する。さらに、プロセスパラメータの例としてボディ電圧 0 V 時の閾値電圧 V_{th0} を採用する。なお、 0 V 時の閾値電圧 V_{th0} には、例えばゲートサイズが LONG/WIDE のトランジスタのものを採用すればよい。そして、素子の電気特性の例として、定電流領域における飽和電流値 I_{dsat} および閾値電圧値 V_{th} を採用する。

【 0 0 4 1 】

さて、コーナーモデルが生成される領域（図 9 における四角形 SQa の領域および図 10 における四角形 SQb の領域）では、電気特性の変動量は、素子パラメータセットの各変動量に対して線形であるとみなすことができる。これは、点

P 0 a および点 P 0 b の近傍での電気特性の変動量、およびそれに対応する素子パラメータセットの変動量はいずれも微小な量であり、ほぼ線形に変化すると考えて差し支えないからである。

【 0 0 4 2 】

よって、NMOS, PMOS のそれぞれについて電気特性の変動量と素子パラメータセットの各変動量との関係式を立てると、以下のように表せる。なお、数 1 ～ 数 4 内の左辺はシミュレーションにより観測される電気特性のデータを、右辺は電気特性を変化させる要因となる素子パラメータの項を示している。

【 0 0 4 3 】

【数 1】

$$\begin{aligned} I_{typn} + \delta I_{dsatn} = & I_{typn} + \delta(\Delta L_n) \frac{\partial I_{dsatn}}{\partial \Delta L_n} + \delta(\Delta W_n) \frac{\partial I_{dsatn}}{\partial \Delta W_n} \\ & + \delta T_{oxn} \frac{\partial I_{dsatn}}{\partial T_{oxn}} + \delta V_{th0n} \frac{\partial I_{dsatn}}{\partial V_{th0n}} + f_{1n} \end{aligned}$$

【 0 0 4 4 】

【数 2】

$$\begin{aligned} V_{typn} + \delta V_{thn} = & V_{typn} + \delta(\Delta L_n) \frac{\partial V_{thn}}{\partial \Delta L_n} + \delta(\Delta W_n) \frac{\partial V_{thn}}{\partial \Delta W_n} \\ & + \delta T_{oxn} \frac{\partial V_{thn}}{\partial T_{oxn}} + \delta V_{th0n} \frac{\partial V_{thn}}{\partial V_{th0n}} + f_{2n} \end{aligned}$$

【 0 0 4 5 】

【数 3】

$$\begin{aligned} I_{typp} + \delta I_{dsatp} = & I_{typp} + \delta(\Delta L_p) \frac{\partial I_{dsatp}}{\partial \Delta L_p} + \delta(\Delta W_p) \frac{\partial I_{dsatp}}{\partial \Delta W_p} \\ & + \delta T_{oxp} \frac{\partial I_{dsatp}}{\partial T_{oxp}} + \delta V_{th0p} \frac{\partial I_{dsatp}}{\partial V_{th0p}} + f_{1p} \end{aligned}$$

【 0 0 4 6 】

【数 4】

$$V_{ttyp} + \delta V_{thp} = V_{ttyp} + \delta(\Delta L_p) \frac{\partial V_{thp}}{\partial \Delta L_p} + \delta(\Delta W_p) \frac{\partial V_{thp}}{\partial \Delta W_p} \\ + \delta T_{oxp} \frac{\partial V_{thp}}{\partial T_{oxp}} + \delta V_{th0p} \frac{\partial V_{thp}}{\partial V_{th0p}} + f_{2p}$$

【0 0 4 7】

ここで、 I_{typn} は点 P 0 a における NMOS の飽和電流値の代表値を、 I_{typp} は点 P 0 a における PMOS の飽和電流値を、それぞれ表している。また、 V_{typn} は点 P 0 b における NMOS の閾値電圧を、 V_{typp} は点 P 0 b における PMOS の閾値電圧を、それぞれ表している。

【0 0 4 8】

また、数 1 において、 δI_{dsatn} は、図 9 における δI_{dsatna} や δI_{dsatnb} のように代表値 I_{typn} からの変動量を表している。また $\delta(\Delta L_n)$ は、点 P 0 a における NMOS の電気特性に対応する素子パラメータセット内のチャネル長差 ΔL_n からの変動量を表しており、 $\delta(\Delta W_n)$ 、 δT_{oxn} 、 δV_{th0n} についても同様である。また、各素子パラメータに対する電気特性の微分量である、 $I_{dsatn} / \Delta L_n$ 、 $I_{dsatn} / \Delta W_n$ 、 $I_{dsatn} / \Delta T_{oxn}$ 、 $I_{dsatn} / \Delta V_{th0n}$ は、各素子パラメータに対する NMOS の飽和電流値の素子パラメータ感度である。

【0 0 4 9】

同様に数 2 ～ 数 4 内の各項も、NMOS または PMOS の、そして飽和電流値または閾値電圧の、代表値からの変動量、代表値に対応する素子パラメータの変動量、各素子パラメータに対する素子パラメータ感度、をそれぞれ表している。また、数 1 ～ 数 4 内の右辺の f_{1n} 、 f_{2n} 、 f_{1p} 、 f_{2p} は、素子パラメータに関する項以外の、シミュレーション時の計算誤差等の誤差を示す項である。

【0 0 5 0】

ここで、ベクトル x 、ベクトル θ 、行列 A 、ベクトル f を、

【0 0 5 1】

【数 5】

$$\vec{x} = \begin{pmatrix} \delta I_{dsat\ n\ 1} \\ \vdots \\ \delta I_{dsat\ n\ m} \\ \delta V_{th\ n\ 1} \\ \vdots \\ \delta V_{th\ n\ m} \\ \delta I_{dsat\ p\ 1} \\ \vdots \\ \delta I_{dsat\ p\ m} \\ \delta V_{th\ p\ 1} \\ \vdots \\ \delta V_{th\ p\ m} \end{pmatrix}$$

【0 0 5 2】

【数 6】

$$\vec{\theta} = \begin{pmatrix} \delta(\Delta L_n) \\ \delta(\Delta W_n) \\ \delta T_{ox\ n} \\ \delta V_{th0\ n} \\ \delta(\Delta L_p) \\ \delta(\Delta W_p) \\ \delta T_{ox\ p} \\ \delta V_{th0\ p} \end{pmatrix}$$

【0 0 5 3】

【数 7】

$$A = \begin{pmatrix} \frac{\partial I_{dsatn1}}{\partial \Delta L_n} & \frac{\partial I_{dsatn1}}{\partial \Delta W_n} & \frac{\partial I_{dsatn1}}{\partial T_{oxn}} & \frac{\partial I_{dsatn1}}{\partial V_{th0n}} & 0 & 0 & 0 \\ \frac{\partial V_{thn1}}{\partial \Delta L_n} & \frac{\partial V_{thn1}}{\partial \Delta W_n} & \frac{\partial V_{thn1}}{\partial T_{oxn}} & \frac{\partial V_{thn1}}{\partial V_{th0n}} & 0 & 0 & 0 \\ \frac{\partial I_{dsatp1}}{\partial \Delta L_p} & 0 & 0 & 0 & \frac{\partial I_{dsatp1}}{\partial \Delta W_p} & \frac{\partial I_{dsatp1}}{\partial T_{oxp}} & \frac{\partial I_{dsatp1}}{\partial V_{th0p}} \\ \frac{\partial V_{thp1}}{\partial \Delta L_p} & 0 & 0 & 0 & \frac{\partial V_{thp1}}{\partial \Delta W_p} & \frac{\partial V_{thp1}}{\partial T_{oxp}} & \frac{\partial V_{thp1}}{\partial V_{th0p}} \end{pmatrix}$$

【0054】

【数 8】

$$\vec{f} = \begin{pmatrix} f_{1n1} \\ \vdots \\ f_{1nm} \\ f_{2n1} \\ \vdots \\ f_{2nm} \\ f_{1p1} \\ \vdots \\ f_{1pm} \\ f_{2p1} \\ \vdots \\ f_{2pm} \end{pmatrix}$$

【0 0 5 5】

のように定義すれば、数 1 ～ 数 4 をまとめて、

【0 0 5 6】

【数 9】

$$\vec{x} = A \vec{\theta} + \vec{f}$$

【0 0 5 7】

と表せる。なお、数 1 ～ 数 4 中の I_{typn} 、 V_{typn} 、 I_{typp} 、 V_{typp} はいずれも両辺に存在するために消去した。また、ここでは m 個の CMOS インバータが存在するので、数 1 ～ 数 4 のそれぞれについて m 個の式が立てられることになる。ベクトル x 、行列 A 、ベクトル f 中の I_{dsatn} 、 V_{thn} 、 f_{1n} 、 f_{2n} 等の後ろの添え字 1 ～ m は、このことを示している。

【0 0 5 8】

線形最小自乗法によれば、誤差のベクトル f のノルムの自乗の値が最小となるときに、最も観測値の誤差が少なくなるとされる。よって、

【0 0 5 9】

【数 1 0】

$$\begin{aligned}
 \left| \overrightarrow{f} \right|^2 &= \sum_{i=1}^N \left(y_{\text{spec } i} - y_{\text{sim } i} \right)^2 \\
 &= \sum_{i=1}^N \left(\delta y_{\text{spec } i} - \delta y_{\text{sim } i} \right)^2 \\
 &= {}^t \left(\overrightarrow{x} - A \overrightarrow{\theta} \right) \left(\overrightarrow{x} - A \overrightarrow{\theta} \right)
 \end{aligned}$$

【0 0 6 0】

のノルムの自乗の値の変曲点を求めればよい。なお、数 1 0 において、右辺第 1 式中の $y_{\text{spec } i}$ はバラツキとして許容可能なコーナーでの電気特性の値であり、 $y_{\text{sim } i}$ はシミュレーションにより観測されるコーナーでの電気特性の値である。なお、 $i = 1 \sim N$ （ここでは $N = 4$ ）であり、例えば、 $y_{\text{spec } 1}$ は数 1 の右辺から f_{1n} と $I_{\text{typ } n}$ とを引いたもの、 $y_{\text{spec } 2}$ は数 2 の右辺から f_{2n} と $V_{\text{typ } n}$ とを引いたもの、 $y_{\text{spec } 3}$ は数 3 の右辺から f_{1p} と $I_{\text{typ } p}$ とを引いたもの、 $y_{\text{spec } 4}$ は数 4 の右辺から f_{2p} と $V_{\text{typ } p}$ とを引いたもの、である。また、例えば、 $y_{\text{sim } 1}$ は数 1 の左辺から $I_{\text{typ } n}$ を引いたもの、 $y_{\text{sim } 2}$ は数 2 の左辺から $V_{\text{typ } n}$ を引いたもの、 $y_{\text{sim } 3}$ は数 3 の左辺から $I_{\text{typ } p}$ を引いたもの、 $y_{\text{sim } 4}$ は数 4 の左辺から $V_{\text{typ } p}$ を引いたもの、である。

【0 0 6 1】

また、数 1 0 において、右辺第 2 式中の $\delta y_{\text{spec } i}$ は、数 9 の右辺第 1 項の行列 A とベクトル θ との積の各成分にあたり、 $\delta y_{\text{sim } i}$ は数 9 の左辺のベクトル x の各成分にあたる。また、右辺第 3 式中の ${}^t (x - A \theta)$ はベクトル $(x - A \theta)$ の転置を表す。

【0 0 6 2】

さて、数 1 0 のノルムの自乗の値の変曲点を求めるには、

【0 0 6 3】

【数 1 1】

$$\frac{\partial |\vec{f}|^2}{\partial \vec{\theta}} = 0$$

【0064】

を解けばよい。なお、数 1 1 におけるベクトル θ による偏微分は、ベクトル θ の各成分ごとに微分を行うことを意味し、ここではベクトル θ の成分が 8 つあることから、数 1 1 は実質的には 8 個の連立方程式となっている。

【0065】

ここで、数 1 0 の右辺第 3 式を用いて数 1 1 を行列表現のまま解くと、

【0066】

【数 1 2】

$${}^t_A A \vec{\theta} = {}^t_A \vec{x}$$

【0067】

となる。この数 1 2 は最小自乗法の正規方程式と呼ばれる式である。なお、 t_A は行列 A の転置を表す。

【0068】

数 1 2 において、左辺の ${}^t_A A$ が正則であれば、最小自乗推定値は、

【0069】

【数 1 3】

$$\vec{\theta}_e = \left({}^t_{AA}\right)^{-1} {}^t_A \vec{x}$$

【0070】

で与えられる。ここで、ベクトル θ_e は、ベクトル θ の各成分の推定値を各成分とするベクトルである。

【0071】

よって、行列 A の成分である素子パラメータ感度を求め、各コーナーごとに数

1 3 を用いてベクトル θ_e を計算すれば、コーナーとして要求される電気特性に対応する素子パラメータセットを求めることができる。

【 0 0 7 2 】

なお、素子パラメータ感度は、回路シミュレーションを行うことにより求められる。すなわち、素子パラメータセット中の各成分を一つずつ微小変化させたときの点 $P 0 a$ 、 $P 0 b$ における電気特性からの電気特性の微小変化量をそれぞれ観測することで、各素子パラメータ感度を求めることができる。

【 0 0 7 3 】

以上の流れをまとめて図 1 を用いて説明する。図 1 は、本実施の形態にかかるシミュレーション方法を示すフローチャートである。

【 0 0 7 4 】

まず、各コーナーにおける電気特性のバラツキとして許容可能な値 ($I_{typn} + \delta I_{dsatna}$ 、 $I_{typn} - \delta I_{dsatnb}$ 等) と、対象となる素子に関する情報 (点 $P 0 a$ 、 $P 0 b$ に対応するモデルパラメータおよびプロセスパラメータの代表値) を準備する (ステップ $S 0 2$)。続いて、回路シミュレーションを実行して、電気特性の素子パラメータに対する電気特性の素子パラメータ感度を求める (ステップ $S 0 3$)。

【 0 0 7 5 】

そして、最小自乗法の正規方程式から導かれた数 1 3 を用いて、ステップ $S 0 3$ で得られた素子パラメータ感度と、ステップ $S 0 2$ で与えられた電気特性の値とから、各コーナーごとに、素子パラメータセットのバラツキ (変動量 $\delta (\Delta L)$ 、 $\delta (\Delta W)$ 、 δT_{ox} 、 δV_{th0}) を計算する (ステップ $S 0 3$)。

【 0 0 7 6 】

本実施の形態にかかるシミュレーション方法を用いれば、最小自乗法の正規方程式に素子パラメータ感度と電気特性の値とを適用して各コーナーにおける素子パラメータセットのバラツキを求めるので、回路シミュレーションを行うのは素子パラメータ感度を求めるときだけで済む。よって、回路シミュレーションを繰り返すことなくコーナーにおいて許容される素子パラメータのバラツキを求めることが可能である。また、数 1 1 が素子パラメータの数だけ存在する連立方程式

となっており、代数学の基本定理に基づいて一意に解けるので、一意に素子パラメータのバラツキを求めることが可能である。

【0077】

＜実施の形態2＞

本実施の形態にかかるシミュレーション方法は、実施の形態1にかかるシミュレーション方法の変形例である。本実施の形態においては、実施の形態1において求められた各コーナーでの素子パラメータセットのバラツキの値を用いて、実際に各コーナーでの電気特性を計算し、設定した電気特性のバラツキの許容可能な値と略等しいとみなせるかどうか検証する。

【0078】

図2は、本実施の形態にかかるシミュレーション方法のフローチャートを示す図である。まず、実施の形態1と同様、各コーナーにおける電気特性のバラツキとして許容可能な値と、対象となる素子に関する情報を準備する（ステップS12）。

【0079】

続いて、回路シミュレーションを実行して、電気特性の素子パラメータに対する電気特性の素子パラメータ感度を求める（ステップS13）。そして、最小自乗法の正規方程式から導かれた数13を用いて、ステップS13で得られた素子パラメータ感度と、ステップS12で与えられた電気特性の値とから、各コーナーごとに、素子パラメータセットのバラツキを計算する（ステップS14）。

【0080】

その後、ステップS14で得られた素子パラメータセットのバラツキに基づいてコーナーにおける電気特性の値を計算する（ステップS15）。この電気特性の計算においては、数9のうちベクトル f を削除した式を用いればよい。すなわち、素子パラメータ感度と素子パラメータセットとの乗算に基づいて電気特性のバラツキを計算すればよい。

【0081】

そして、ステップS15で得られた電気特性の値が、設定した電気特性のバラツキの許容可能な値を満足しているか検証を行う（ステップS16）。この検証

は、例えば以下の式により求められる誤差ERRの値を用いて行えばよい。

【0082】

【数14】

$$ERR_{XX}^2 = \frac{(y_{simin} - y_{specin})^2 + (y_{simip} - y_{specip})^2}{y_{specin}^2 + y_{specip}^2}$$

【0083】

【数15】

$$ERR = \sqrt{\frac{1}{4} (ERR_{FF}^2 + ERR_{SS}^2 + ERR_{FS}^2 + ERR_{SF}^2)}$$

【0084】

ここで、 ERR_{XX}^2 は各コーナーでの電気特性の自乗誤差（XXはNMOS、PMOSの応答速度を表す添字であり、Fが最速、Sが最遅）を表し、 y_{simin} 、 y_{simip} 、 y_{specin} 、 y_{specip} は数10の右辺第1式で示した y_{simi} 、 y_{speci} のNMOS、PMOSごとの値を表している。

【0085】

そして、この誤差ERRの値が所定の値よりも大きければ、例えば素子パラメータ感度の計算に誤差が含まれている可能性があるので、ステップS13に戻って素子パラメータ感度を計算しなおすようにすればよい。そうすれば、素子パラメータ感度の誤差が小さくなり、誤差ERRの値が所定の値よりも小さく収まる場合がある。その場合は、精度の高い素子パラメータセットおよび電気特性が得られる。

【0086】

本実施の形態にかかるシミュレーション方法を用いれば、素子パラメータ感度とコーナーでの素子パラメータのバラツキとの乗算に基づいてコーナーでの電気特性のバラツキを計算するので、設定した電気特性のバラツキの許容可能な値と略等しいとみなせるかどうか検証することができる。

【0087】

また、誤差 $E R R$ の値が所定の値よりも大きければ、ステップ $S 1 3$ に戻って素子パラメータ感度を計算しなおすので、誤差 $E R R$ の値が所定の値よりも小さく収まり、精度の高い素子パラメータセットおよび電気特性を求めることができる場合がある。

【 0 0 8 8 】

＜実施の形態 3＞

本実施の形態にかかるシミュレーション方法は、実施の形態 2 にかかるシミュレーション方法の変形例である。本実施の形態においては、各コーナーでの電気特性と設定した電気特性のバラツキの許容可能な値とが略等しいとみなせるかどうかの検証後のステップが異なる。すなわち、略等しいとみなせない場合には、数 9 の行列 A およびベクトル θ の次元を調整する、または、素子パラメータの重み付けを行う。

【 0 0 8 9 】

図 3 は、本実施の形態にかかるシミュレーション方法のフローチャートを示す図である。まず、実施の形態 2 と同様、各コーナーにおける電気特性のバラツキとして許容可能な値と、対象となる素子に関する情報を準備する（ステップ $S 2 2$ ）。

【 0 0 9 0 】

続いて、回路シミュレーションを実行して、素子パラメータに対する電気特性の素子パラメータ感度を求める（ステップ $S 2 3$ ）。そして、最小自乗法の正規方程式から導かれた数 1 3 を用いて、ステップ $S 2 3$ で得られた素子パラメータ感度と、ステップ $S 2 2$ で与えられた電気特性の値とから、各コーナーごとに、素子パラメータセットのバラツキを計算する（ステップ $S 2 4$ ）。

【 0 0 9 1 】

その後、ステップ $S 2 4$ で得られた素子パラメータセットのバラツキに基づいてコーナーにおける電気特性の値を計算する（ステップ $S 2 5$ ）。そして、ステップ $S 2 5$ で得られた電気特性の値が、設定した電気特性のバラツキの許容可能な値を満足しているか検証を行う（ステップ $S 2 6$ ）。この検証は、例えば実施の形態 2 と同様、誤差 $E R R$ の値を用いて行えばよい。

【0092】

そして、誤差 E_{RR} の値が所定の値よりも大きければ、数 9 の行列 A およびベクトル θ の次元を調整する、または、素子パラメータの重み付けを行う。

【0093】

ここで、「数 9 の行列 A およびベクトル θ の次元を調整する」とは、電気特性の値に影響を及ぼす素子パラメータを新たに加えて行列 A およびベクトル θ の次元を増やすことを指す。この場合、新たな素子パラメータが加わったので、ステップ $S23$ においてその新たな素子パラメータに対する電気特性の素子パラメータ感度を新たに計算する必要がある（図 3 において、ステップ $S27$ からステップ $S23$ への矢印はこのことを意味している）。

【0094】

すなわち、素子パラメータとして新たなものを導入し、その新たな素子パラメータについても、素子パラメータ感度の計算と最小自乗法の適用とを行う。これにより、ステップ $S25$ で得られる電気特性の精度をより高めることができる。

【0095】

また、「素子パラメータの重み付けを行う」とは、数 13 を、

【0096】

【数 16】

$$\vec{\theta_e} = \left({}^t_{AWA} \right)^{-1} {}^t_{AW} \vec{x}$$

【0097】

のように修正することを指す。ここで、 W は、

【0098】

【数 1 7】

$$W = \begin{pmatrix} W1 & 0 & 0 & 0 \\ 0 & W2 & 0 & \dots & 0 \\ 0 & 0 & W3 & & 0 \\ & \vdots & & \ddots & \\ 0 & 0 & 0 & & Wn \end{pmatrix}$$

【0 0 9 9】

で定義される重み付け行列である。重み付け行列Wは対角行列であり、その対角成分W1～Wnは、それぞれベクトルxの成分および行列Aの各行の成分に重みとして乗じられる。これは、数10の右辺第2式の $\delta y_{spec i}$ および $\delta y_{sim i}$ のそれぞれに電気特性ごとに重みを乗じることに対応し、ベクトルfのノルムに対する電気特性ごとの寄与の度合いを変化させることを意味する。このような手法は重み付き最小自乗法と呼ばれ、ベクトルxの成分のうち特に重視したい電気特性の成分の誤差を強調しつつ、素子パラメータセットをより正確に求めることができる。

【0 1 0 0】

なお、ここでは、ステップS26での検証後のステップS27で重み付けを行う場合について述べたが、最初にステップS24で素子パラメータセットを計算する段階で重み付けを行うようにしてもよい。また、ステップS26において各コーナーでの電気特性と設定した電気特性のバラツキの許容可能な値とが略等しいとみなせた場合であっても、あらためて重み付けを行った状態でステップS24を行うようにしてもよい（図3において、ステップS26のYESのフローからステップS27への破線の矢印はこのことを意味している）。

【0 1 0 1】

また、ステップS26において各コーナーでの電気特性と、設定した電気特性のバラツキの許容可能な値とが略等しいとみなせた場合であっても、例えばパラ

メータ感度の低い素子パラメータについては、ステップ S 2 7 において数 9 の行列 A およびベクトル θ から削除してこれらの次元を下げるよう調整し、素子パラメータ感度の高い素子パラメータに絞り込んで素子パラメータセットを計算しなおす（例えば、ベクトル θ のうち δT_{oxn} の成分を除去し、行列 A において 3 列目の各成分を除去する）ようにしてもよい（なお、ステップ S 2 6 の YES のフローからステップ S 2 7 への破線の矢印はこのことをも意味している）。すなわち、一部の素子パラメータについては最小自乗法への適用を行わずに、それ以外の素子パラメータについてのみ、再度、ステップ S 2 4 を行う。その場合、計算量が減るので、素子パラメータ感度の高い素子パラメータに重点をおきつつ、ステップ S 2 4, S 2 5 において高速に素子パラメータセットおよび電気特性を再度、計算することが可能となる。

【 0 1 0 2 】

本実施の形態にかかるシミュレーション方法を用いれば、数 9 の行列 A およびベクトル θ の次元を調整するので、電気特性の精度をより高めることができる。または、計算量を減らして素子パラメータ感度の高い素子パラメータに重点をおきつつ、ステップ S 2 4 において高速に素子パラメータセットを計算することができる。また、重み付き最小自乗法を用いる場合には、特に重視したい電気特性の誤差を強調しつつ、素子パラメータセットをより正確に求めることができる。

【 0 1 0 3 】

< 実施の形態 4 >

本実施の形態は、例として実施の形態 3 にかかるシミュレーション方法を実現するシミュレーション装置を示すものである。

【 0 1 0 4 】

図 4 に、本実施の形態にかかるシミュレーション装置の構成を示す。このシミュレーション装置は、数値データ等を入力するためのデータ入力部 1 0 0 と、各種データの計算や転送等を行うデータ処理部 2 0 0 と、素子パラメータセットおよび電気特性の計算結果やその他のデータ等を表示するデータ出力部 3 0 0 と、各種データを記憶するデータ記憶部 4 0 0 と、回路シミュレーションを行うシミュレータ 5 0 0 とを備えている。

【 0 1 0 5 】

このうちデータ処理部 2 0 0 は、例えば C P U (Central Processing Unit) で構成され、キャッシュメモリ等の内部記憶部 2 0 1 を備えている。また、データ記憶部 4 0 0 は、例えばハードディスク等の外部記憶装置であり、そこには、過去に計算した素子パラメータ感度を記録した感度ファイル 4 0 1、過去に計算した素子パラメータセットを記録した抽出結果ファイル 4 0 2、素子パラメータセットの計算時に用いた抽出条件 (M I S F E T のゲートバイアス値やボディ電圧値など) を記録した抽出条件ファイル 4 0 3、点 P 0 a, P 0 b 等の代表値での素子パラメータの組である T Y P I C A L 値でのパラメータセットを記録したファイル 4 0 4 が収められている。

【 0 1 0 6 】

図 5 および図 6 は、図 3 のフローチャートを本実施の形態にかかるシミュレーション装置に適用した場合の、より詳細なフローチャートである。

【 0 1 0 7 】

まず、ステップ S 5 2 に示すように、T Y P I C A L 値でのパラメータセット、抽出条件、ゲート長やゲート幅等のトランジスタサイズおよびコーナーにおける電気特性のバラツキとして許容可能な値を、それぞれデータ入力部 1 0 0 から入力する (ステップ S 5 2)。このとき入力された各データは、素子パラメータセットおよび電気特性の計算に用いられるため、データ処理部 2 0 0 によって内部記憶部 2 0 1 またはデータ記憶部 4 0 0 に記録される。

【 0 1 0 8 】

次に、データ処理部 2 0 0 は、上記の入力データと同じ条件下で過去に素子パラメータ感度の計算が行われたかどうかを、データ記憶部 4 0 0 内の各種ファイル 4 0 1 ~ 4 0 4 を参照しつつ調査する (ステップ S 5 3)。もし過去に行われておれば、その記録を感度ファイル 4 0 1 からロードして表示する (ステップ S 5 4)。そしてその記録内容を素子パラメータセットおよび電気特性の計算に用いる。

【 0 1 0 9 】

一方、同じ条件下での素子パラメータ感度の計算が過去に行われていなければ

、データ処理部 2 0 0 は、入力された各データをシミュレータ 5 0 0 に与える。そして、シミュレータ 5 0 0 において回路シミュレーションが行われ、電気特性の素子パラメータ感度が計算される（ステップ S 5 5）。そして、この計算結果がデータ処理部 2 0 0 に渡され、データ処理部 2 0 0 はこの計算結果をデータ出力部 3 0 0 に表示しつつ感度ファイル 4 0 1 内に新たに保存する。

【 0 1 1 0 】

次に、データ処理部 2 0 0 は、上記の入力データと同じ条件下で、かつ、ステップ S 5 4 または S 5 5 で得られた素子パラメータ感度を用いて、過去に素子パラメータセットの計算が行われたかどうかを、データ記憶部 4 0 0 内の各種ファイル 4 0 1 ~ 4 0 4 を参照しつつ調査する（ステップ S 5 6）。もし過去に行われておれば、その記録を抽出結果ファイル 4 0 2 からロードして表示する（ステップ S 5 7）。そしてその記録内容を電気特性の計算に用いる。

【 0 1 1 1 】

一方、同じ条件下での素子パラメータセットの計算が過去に行われていなければ、データ処理部 2 0 0 は数 1 3 を用いて素子パラメータセットの計算を行う（ステップ S 5 8）。そして、データ処理部 2 0 0 はこの計算結果をデータ出力部 3 0 0 に表示する。

【 0 1 1 2 】

次に、データ処理部 2 0 0 は、数 9 のうちベクトル f を削除した式に素子パラメータ感度と素子パラメータセットとを適用して、各コーナーでの電気特性の計算を行う（ステップ S 5 9）。そして、データ処理部 2 0 0 は、この計算結果がステップ S 5 2 で入力された電気特性のバラツキとして許容可能な値を満足するか検証を行う（ステップ S 6 0）。

【 0 1 1 3 】

検証の結果、満足していない場合には、数 9 の行列 A およびベクトル θ の次元を調整する（ステップ S 6 3）、または、素子パラメータの重み付けを行う（ステップ S 6 2）。ステップ S 6 3 で次元の調整を行った後は、素子パラメータ感度を新たに計算するためにステップ S 5 3 に戻る。また、ステップ S 6 2 で素子パラメータの重み付けを行った後は、素子パラメータセットを新たに計算するた

めにステップ S 5 8 に戻る。

【0 1 1 4】

なお、図 3 中のステップ S 2 6 からステップ S 2 7 への破線の矢印の流れは、煩雑になるので図 5 および図 6 には表示していない。しかし、このようなフローを実現してもよいことは言うまでもない。

【0 1 1 5】

そして、検証の結果、満足している場合には、計算した素子パラメータセットを抽出結果ファイル 4 0 2 に新たに保存する（ステップ S 6 1）。そしてシミュレーションを終了する（ステップ S 6 4）。

【0 1 1 6】

本実施の形態においては、実施の形態 3 にかかるシミュレーション方法を実現する場合を例にとって説明を行ったが、実施の形態 2 にかかるシミュレーション方法を実現する場合には、図 6 中のステップ S 6 2，S 6 3 を省略し、ステップ S 6 0 の NO のフローをステップ S 5 3 に戻すようにすればよい。また、実施の形態 1 にかかるシミュレーション方法を実現する場合には、図 6 中のステップ S 5 9，S 6 0，S 6 2，S 6 3 を省略し、ステップ S 5 7，S 5 8 の後にステップ S 6 1 を行うフローとすればよい。

【0 1 1 7】

【発明の効果】

請求項 1 に記載の発明によれば、最小自乗法の正規方程式に素子パラメータ感度と電気特性の所定の値とを適用してコーナーにおける素子パラメータのバラツキを求めるので、回路シミュレーションを繰り返すことなくコーナーにおいて許容される素子パラメータのバラツキを求めることが可能で、しかも一意に素子パラメータのバラツキを求めることが可能である。

【0 1 1 8】

請求項 2 に記載の発明によれば、素子パラメータ感度とコーナーでの素子パラメータのバラツキとの乗算に基づいてコーナーでの電気特性のバラツキを計算するので、工程（d）で計算した電気特性のバラツキの値が工程（a）で準備した所定の値と略等しいとみなせるかどうか検証することができる。

【 0 1 1 9 】

請求項 3 に記載の発明によれば、工程（d）で計算したコーナーでの電気特性のバラツキと、工程（a）で準備した所定の値とを比較し、その誤差が所定の値よりも大きければ、工程（b）ないし工程（d）を再度行うので、精度の高いコーナーでの素子パラメータおよび電気特性を求めることができる場合がある。

【 0 1 2 0 】

請求項 4 に記載の発明によれば、新たな素子パラメータを導入し、新たな素子パラメータと素子パラメータとを合わせ用いつつ工程（b）ないし工程（d）を行うので、工程（d）で得られる電気特性の精度をより高めることができる。

【 0 1 2 1 】

請求項 5 に記載の発明によれば、一部の素子パラメータについては工程（c）を行わずに、それ以外の素子パラメータについてのみ工程（c）を行うので、計算量を減らしつつ、コーナーにおいて許容される素子パラメータのバラツキを求めることができる。

【 0 1 2 2 】

請求項 6 に記載の発明によれば、工程（c）において重み付き最小自乗法を用いて素子パラメータのバラツキを求めるので、特に重視したい電気特性の誤差を強調しつつ、素子パラメータのバラツキをより正確に求めることができる。

【 0 1 2 3 】

請求項 7 に記載の発明によれば、請求項 1 ないし請求項 6 のいずれかに記載のシミュレーション方法を実現したシミュレーション装置を得ることができる。

【図面の簡単な説明】

【図 1】 実施の形態 1 に係るシミュレーション方法を示すフローチャートである。

【図 2】 実施の形態 2 に係るシミュレーション方法を示すフローチャートである。

【図 3】 実施の形態 3 に係るシミュレーション方法を示すフローチャートである。

【図 4】 実施の形態 4 に係るシミュレーション装置を示す図である。

【図 5】 実施の形態 4 に係るシミュレーション方法を示すフローチャートである。

【図 6】 実施の形態 4 に係るシミュレーション方法を示すフローチャートである。

【図 7】 MISFET の構造を示す断面図である。

【図 8】 MISFET の構造を示す上面図である。

【図 9】 コーナーモデルを説明する図である。

【図 10】 コーナーモデルを説明する図である。

【図 11】 従来のシミュレーション方法を示すフローチャートである。

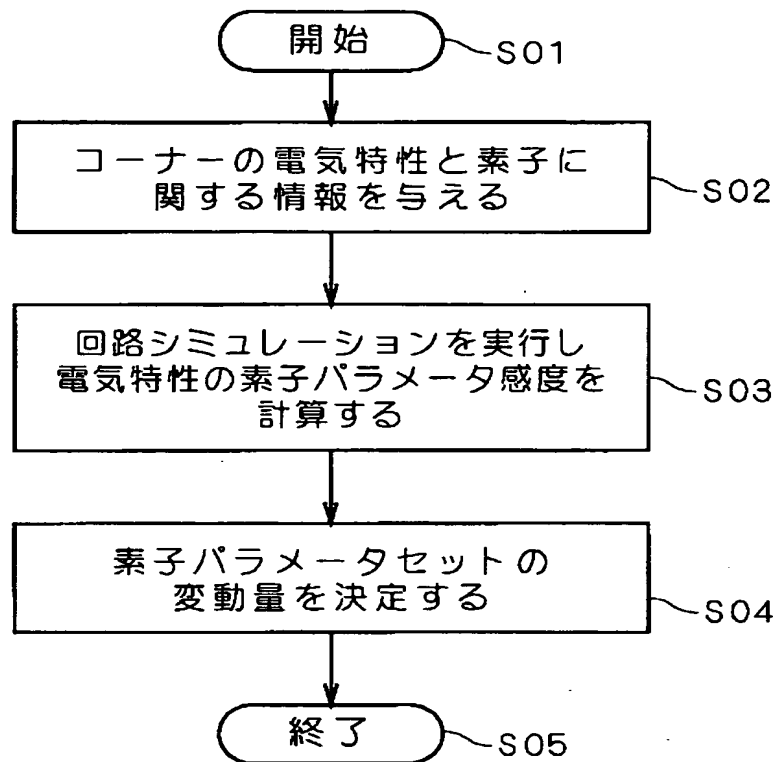
【符号の説明】

100 データ入力部、200 データ処理部、300 データ出力部、400 データ記憶部、500 シミュレータ。

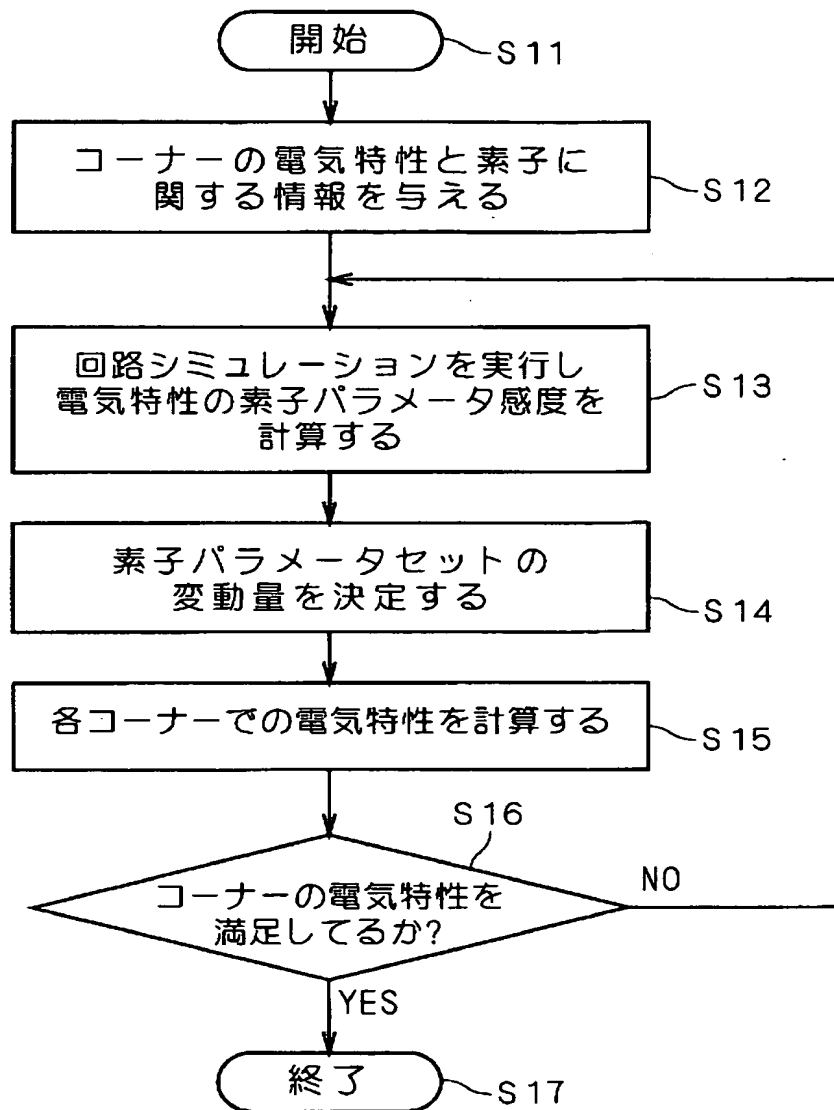
【書類名】

図面

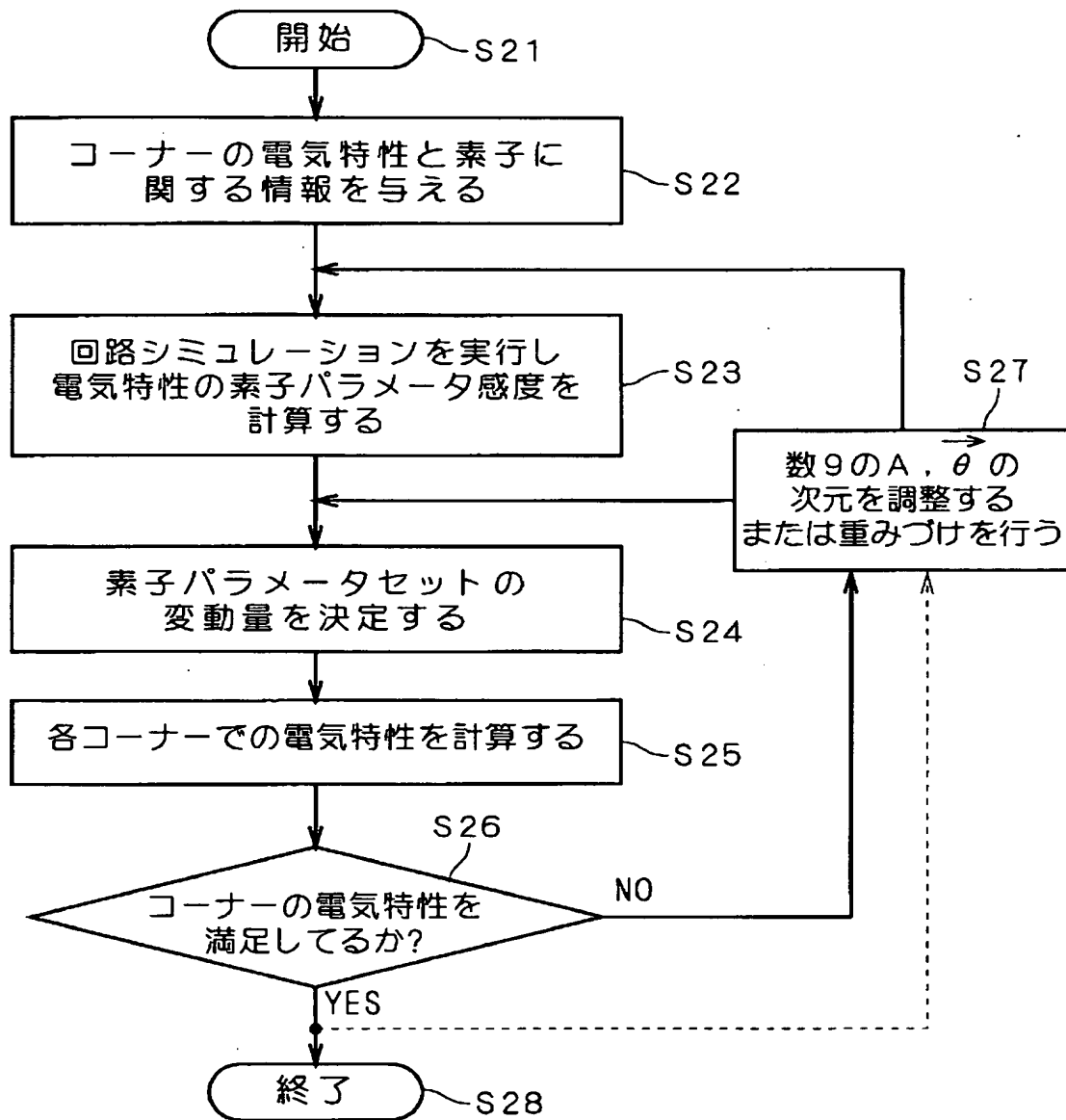
【図 1】



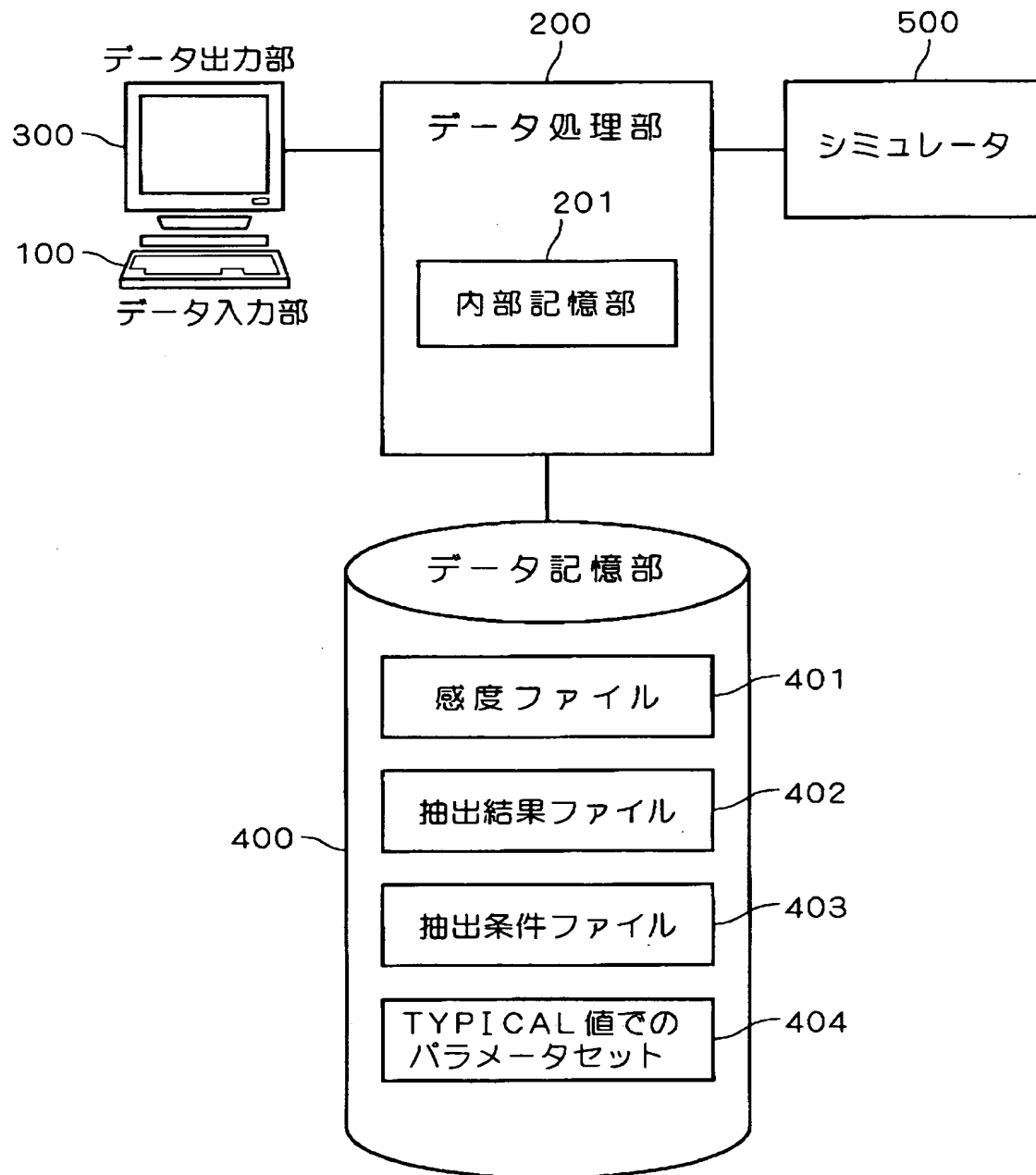
【図 2】



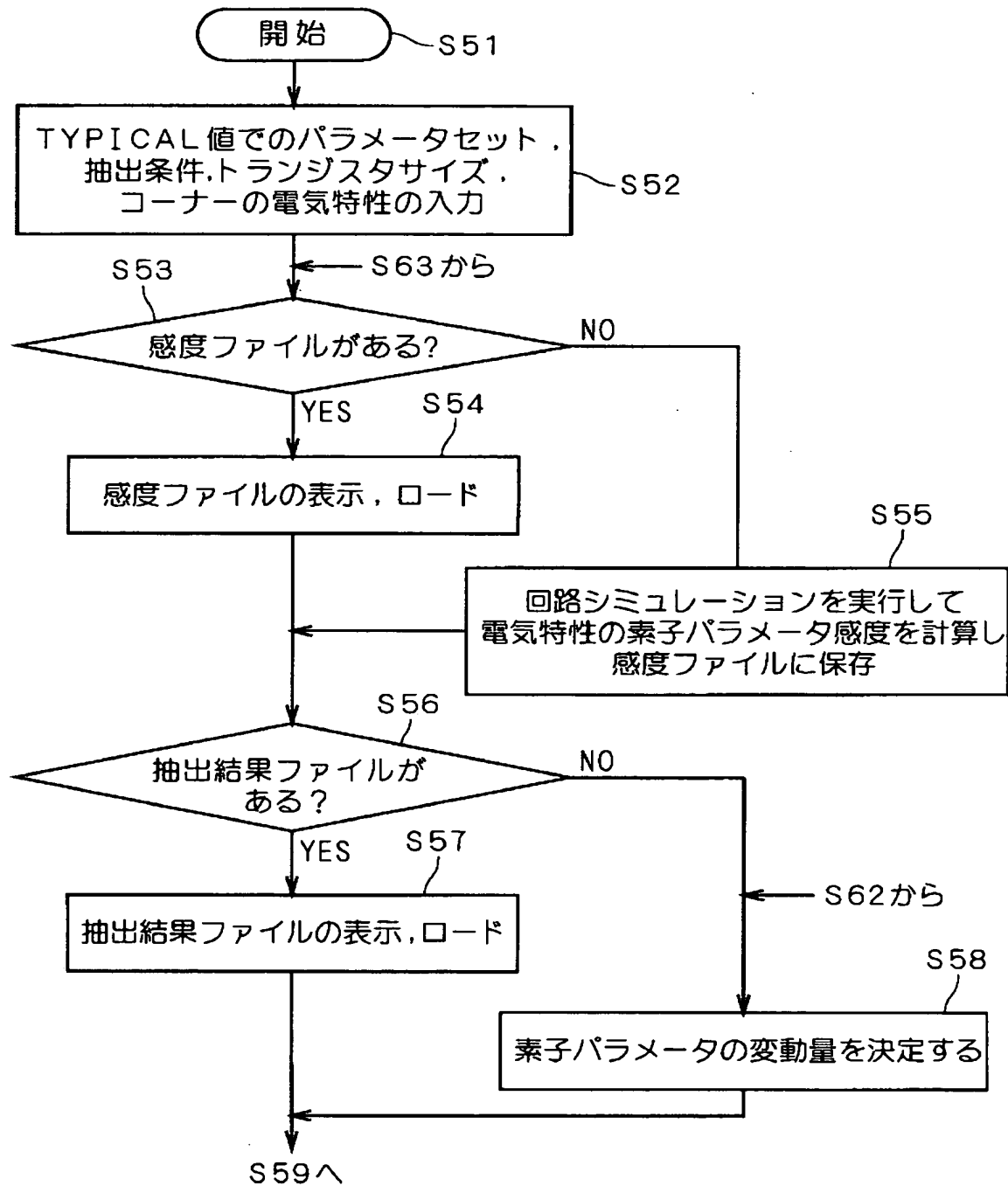
【図3】



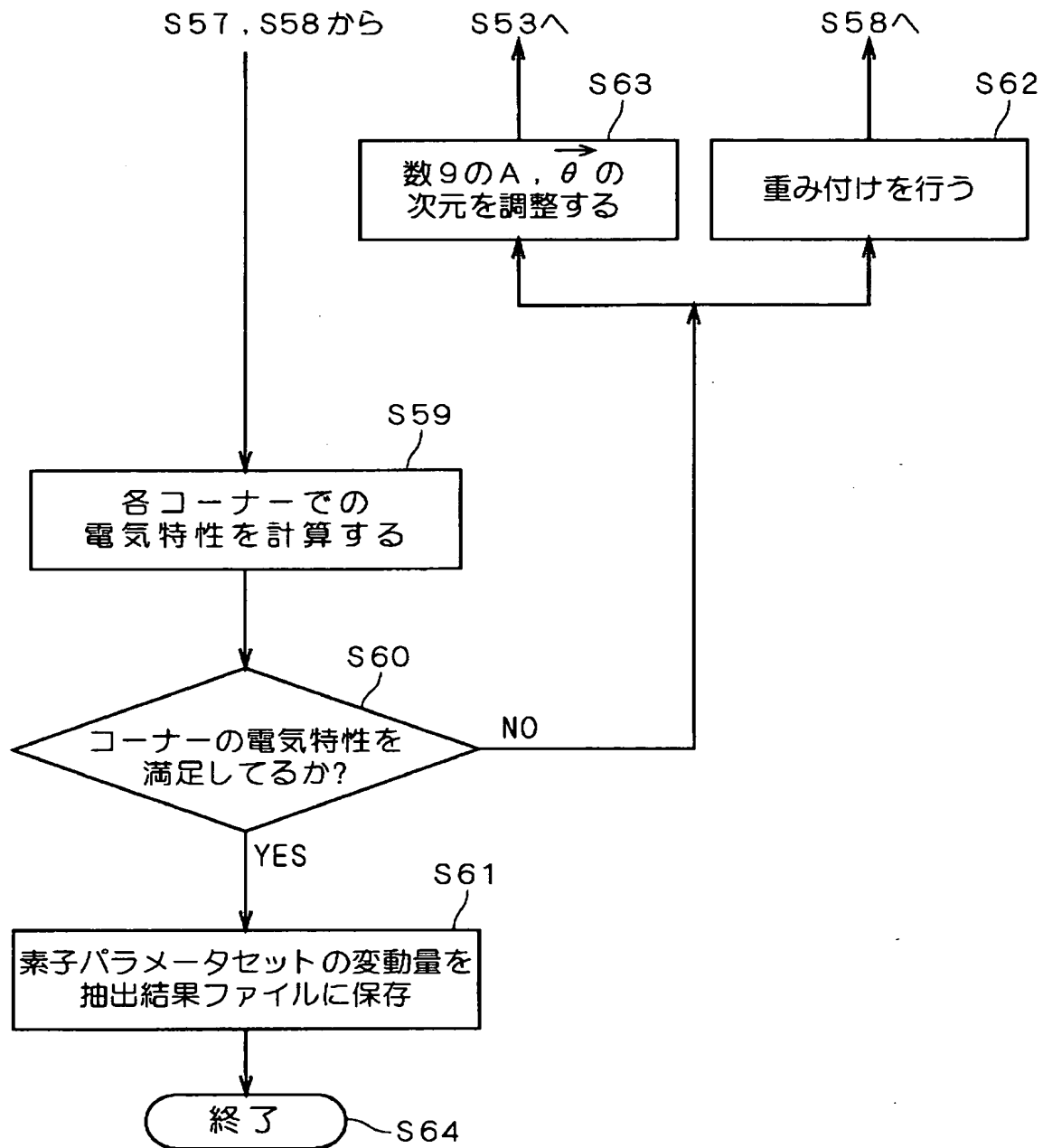
【図4】



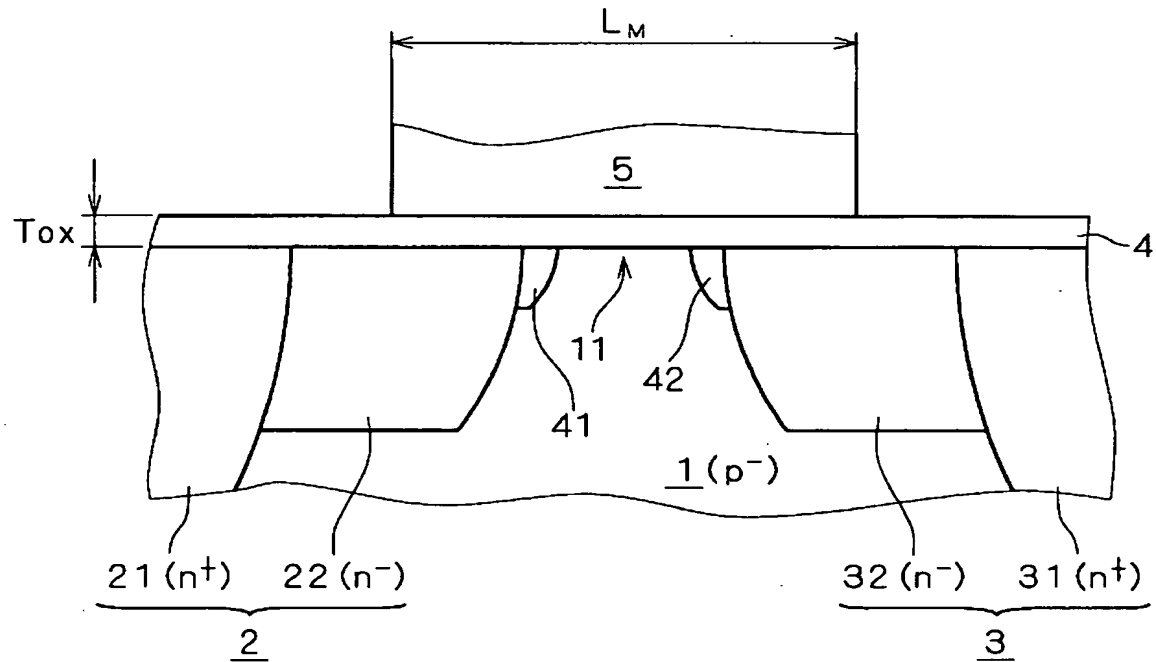
【図 5】



【図 6】



【図 7】



L_M : 幾何学的ゲート長

2 : ソース構造

3 : ドレイン構造

5 : ゲート電極

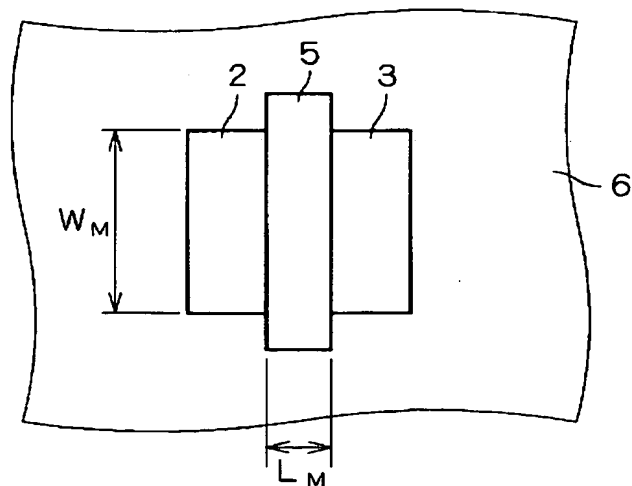
11 : チャンネル領域

21, 31 : 高濃度領域

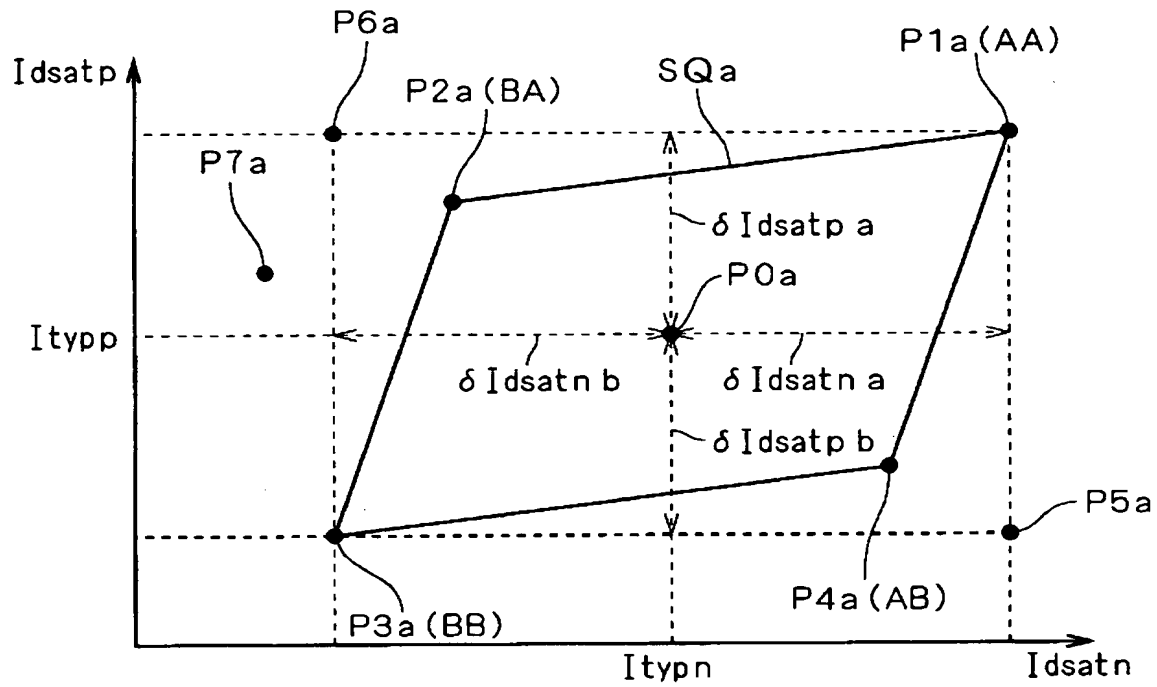
22, 32 : 低濃度領域

41, 42 : ポケット注入領域

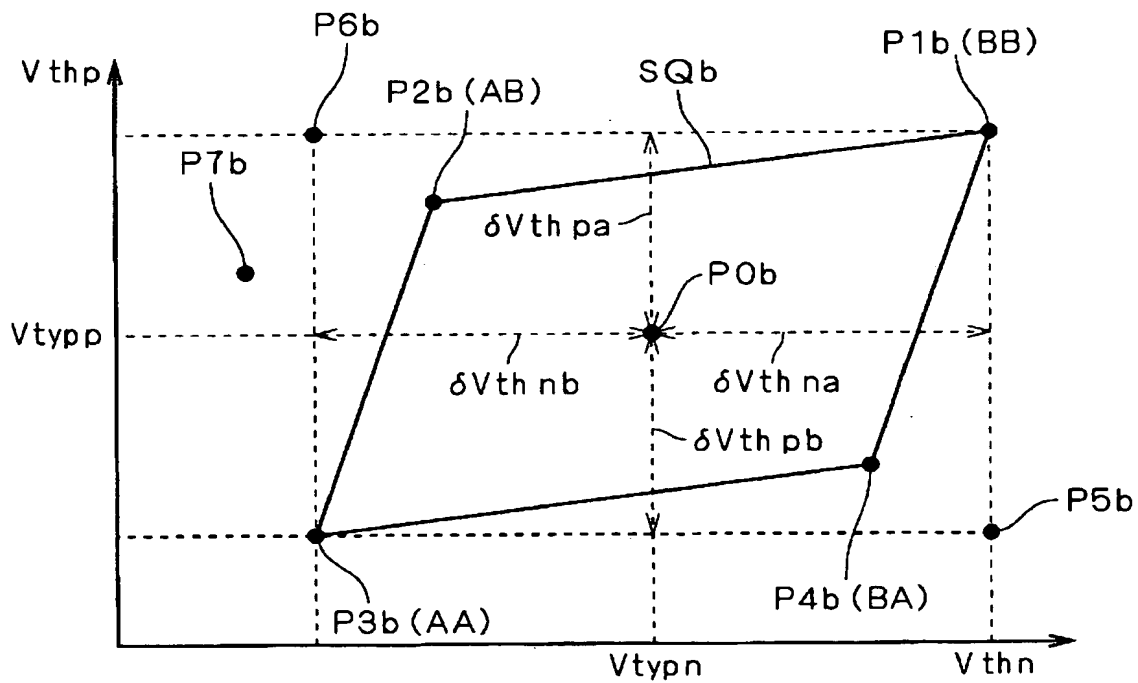
【図 8】



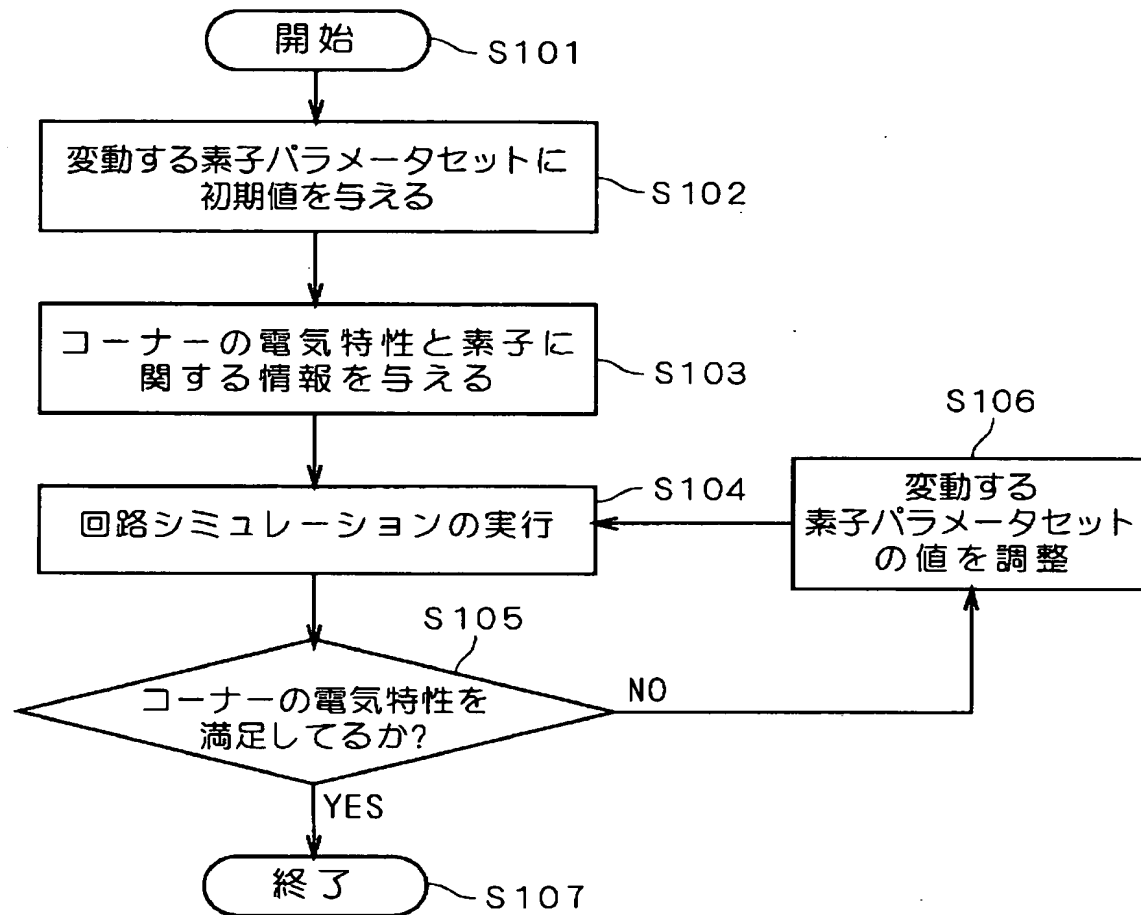
【図 9】



【図 10】



【図11】



【書類名】 要約書

【要約】

【課題】 半導体集積回路を構成する素子の電気特性（ I_{dsat} 、 V_{th} 等）のバラツキを、バラツキの限界を規定するコーナーを含むコーナーモデルで表現するシミュレーション方法またはシミュレーション装置であって、回路シミュレーションを繰り返すことなく各コーナーにおける素子パラメータセットの値を求めることが可能、かつ、一意に素子パラメータセットの値を求めることが可能なものを提供する。

【解決手段】 ΔL 、 ΔW 、 T_{ox} 、 V_{th0} 等の素子パラメータに対する電気特性の微分量である素子パラメータ感度を回路シミュレーションを行って求め、線形最小自乗法の正規方程式に素子パラメータ感度とコーナーに要求される電気特性の値とを適用してコーナーにおける素子パラメータのバラツキを求める。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社